

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-332099

(P2001-332099A)

(43) 公開日 平成13年11月30日 (2001. 11. 30)

(51) Int.Cl. ⁷	識別記号	F I	メモコード (参考)
G 1 1 C 29/00	6 7 1	G 1 1 C 29/00	6 7 1 M 2 G 0 3 2
G 0 1 R 31/28		G 0 1 R 31/28	B 5 B 0 2 4
31/319			U 5 L 1 0 6
G 1 1 C 11/401			R
		G 1 1 C 11/34	3 7 1 A
		審査請求 未請求 請求項の数 4	O L (全 11 頁)

(21) 出願番号	特願2000-149168 (P2000-149168)	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目 6 番地
(22) 出願日	平成12年 5 月22日 (2000. 5. 22)	(71) 出願人	000233169 株式会社日立超エル・エス・アイ・システムズ 東京都小平市上水本町 5 丁目22番 1 号
		(72) 発明者	片山 雅弘 東京都小平市上水本町 5 丁目22番 1 号 株式会社日立超エル・エス・アイ・システムズ内
		(74) 代理人	100081938 弁理士 徳若 光政

最終頁に続く

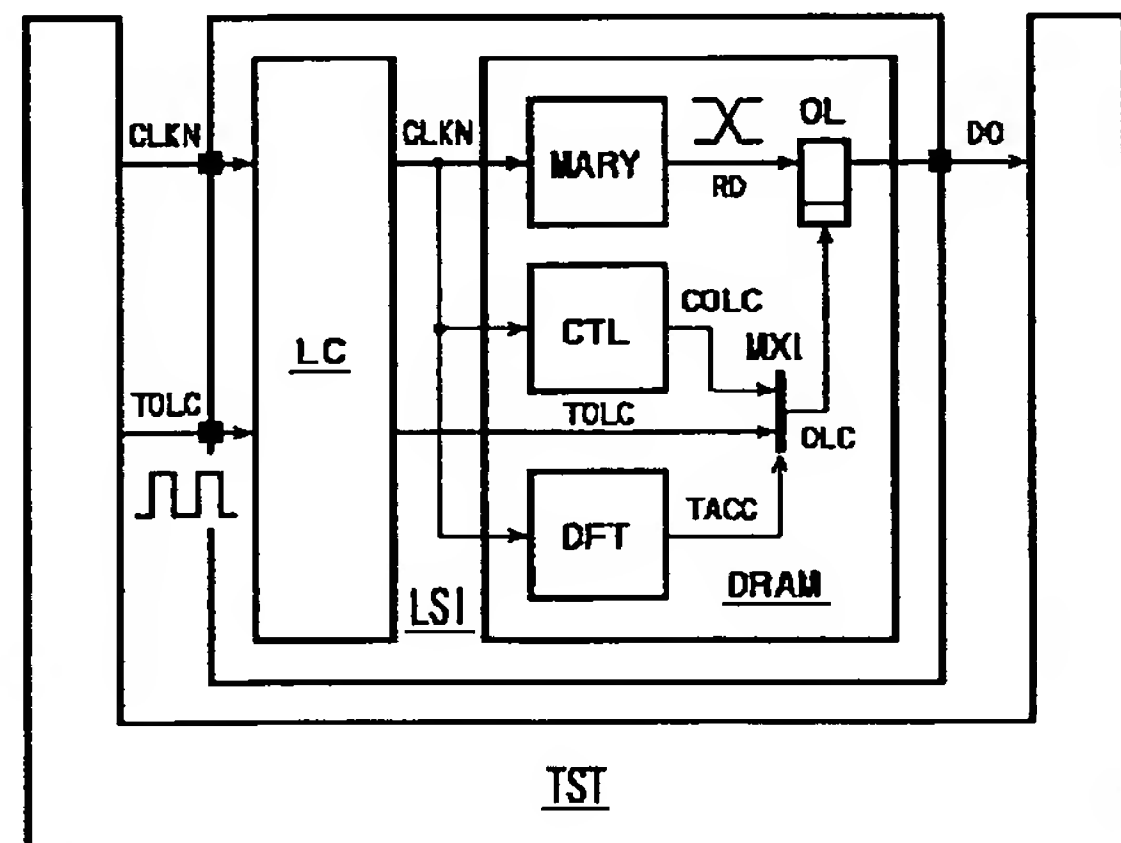
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 複数のDRAMマクロセルを搭載する論理混載メモリ集積回路等の機能試験を効率化し、その試験精度を高める。

【解決手段】 各DRAMマクロセル (DRAM) の D F T 回路 (D F T) に、アクセス評価のための試験動作時、試験制御信号 T A C C を選択的に有効レベルとする機能を持たせるとともに、各DRAMマクロセルに、その起動制御信号たるクロック信号 C L K N に従ってこれと所定の時間関係を有する内部制御信号 C O L C を生成するメモリ制御回路 C T L と、試験制御信号 T A C C が無効レベルとされる通常動作時は、内部制御信号 C O L C を出力ラッチ制御信号 O L C として出力データラッチ O L に伝達し、試験制御信号 T A C C が有効レベルとされる上記試験動作時には、外部の試験装置 T S T から供給されるテスト用出力ラッチ制御信号 T O L C をそのまま出力ラッチ制御信号 O L C として出力データラッチ O L に伝達するマルチプレクサ M X L とを設ける。

図 4 DRAMマクロのアクセス評価時の接続概念



【特許請求の範囲】

【請求項１】 第１の制御信号に従って該第１の制御信号と所定の時間関係にある第２の制御信号を生成する制御部を含み、かつ、

上記第１の制御信号に従って動作を開始して所定の出力信号を生成し、該出力信号を、通常動作時は上記第２の制御信号に従って出力ラッチに取り込み、所定の試験動作時には外部供給される第３の制御信号に従って出力ラッチに取り込む機能ブロックを具備することを特徴とする半導体集積回路装置。

【請求項２】 請求項１において、
上記試験動作は、上記第３の制御信号の上記第１の制御信号に対する時間関係を変化させながら、上記出力ラッチを介して出力される上記出力信号の正常性を確認することにより、上記機能ブロックのアクセスタイムを評価するためのものであることを特徴とする半導体集積回路装置。

【請求項３】 請求項１又は請求項２において、
上記半導体集積回路装置は、論理混載メモリ集積回路であって、
上記機能ブロックは、ダイナミック型ＲＡＭを基本構成要素とするＤＲＡＭマクロセルであることを特徴とする半導体集積回路装置。

【請求項４】 請求項１，請求項２又は請求項３において、
上記機能ブロックは、上記試験動作時、所定の試験制御信号を選択的に有効レベルとするＤＦＴ回路と、
上記試験制御信号が無効レベルとされるとき、上記第２の制御信号を上記出力ラッチに伝達し、上記試験制御信号が有効レベルとされるときには、上記第３の制御信号を上記出力ラッチに伝達するマルチプレクサとを具備するものであることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】 この発明は半導体集積回路装置に関し、例えば、それぞれＤＦＴ回路を備える複数のＤＲＡＭマクロセルを搭載する論理混載メモリ集積回路ならびにその機能試験の効率化及び精度向上に利用して特に有効な技術に関する。

【０００２】

【従来の技術】 情報蓄積キャパシタ及びアドレス選択ＭＯＳＦＥＴ（金属酸化物半導体型電界効果トランジスタ。この明細書では、ＭＯＳＦＥＴをして絶縁ゲート型電界効果トランジスタの総称とする）をそれぞれ含むダイナミック型メモリセルが格子配列されてなるメモリアレイをその基本構成要素とするダイナミック型ＲＡＭ（ランダムアクセスメモリ）がある。また、ゲートアレイ等からなる論理部と、それぞれダイナミック型ＲＡＭを基本構成要素とする複数のＤＲＡＭマクロセルとを搭載する論理混載メモリ集積回路の半導体集積回路装置が

ある。

【０００３】 一方、大容量化されつつあるダイナミック型ＲＡＭ等の機能試験を効率化し、その開発時におけるＴＡＴ（Turn Around Time）を短縮する一つ的手段として、ＤＦＴ（Design For Test）技術があり、ＤＦＴ回路を内蔵するダイナミック型ＲＡＭ等が検討されている。

【０００４】

【発明が解決しようとする課題】 本願発明者等は、この発明に先立って、それぞれＤＦＴ回路を備える複数のＤＲＡＭマクロセルを搭載する論理混載メモリ集積回路の開発に従事し、次の問題点に気付いた。すなわち、この論理混載メモリ集積回路は、後述する図１の実施例と同様に、それぞれＤＦＴ回路を備える例えば８個のＤＲＡＭマクロセルＤＲＡＭ０～ＤＲＡＭ７と、多数の論理ゲートセルが組み合わされてなる論理部ＬＣとを備え、所定のクロック信号に従って同期動作する。ＤＲＡＭマクロセルＤＲＡＭ０～ＤＲＡＭ７のそれぞれは、上記クロック信号又はこれをもとに生成される内部制御信号に従って動作を開始し、その読み出しデータは、出力データラッチに取り込まれた後、外部のアクセス装置に出力される。

【０００５】 周知のように、ＤＲＡＭマクロセルＤＲＡＭ０～ＤＲＡＭ７のそれぞれは、その動作特性に応じて異なるアクセスタイムを有する。また、アクセスタイムの評価は、例えばダイナミック型ＲＡＭ（ＤＲＡＭ）単体であれば、図６に例示されるように、外部の試験装置ＴＳＴから起動制御信号たるクロック信号ＣＬＫを入力した後、ダイナミック型ＲＡＭのデータ出力端子ＤＯから正常な出力データが出力されるまでの時間を測定することによって行われる。

【０００６】 ところが、上記論理混載メモリ集積回路では、図７に例示されるように、ＤＲＡＭマクロセルＤＲＡＭ０～ＤＲＡＭ７の前段及び後段に、論理部ＬＣの比較的複雑な論理回路が接続される。また、各ＤＲＡＭマクロセルの読み出しデータＲＤは、出力データラッチＯＬを介して外部出力され、その出力データラッチＯＬへの取り込みは、メモリ制御回路ＣＴＬから出力される出力ラッチ制御信号ＯＬＣに従って固定したタイミングで行われる。このため、各ＤＲＡＭマクロセルのアクセスタイムを精度良く判定することが困難となり、これによって論理混載メモリ集積回路の試験工数が増大し、その試験精度も低下する。

【０００７】 この発明の目的は、複数のＤＲＡＭマクロセルを搭載する論理混載メモリ集積回路等の機能試験を効率化し、その試験精度を高めることにある。

【０００８】 この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【０００９】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、それぞれDFT回路を備える複数のDRAMマクロセルを搭載する論理混載メモリ集積回路等において、各DRAMマクロセルのDFT回路に、アクセス評価のための試験動作時に所定の試験制御信号を選択的に有効レベルとする機能を持たせるとともに、各DRAMマクロセルに、その起動制御信号たる第1の制御信号に従ってこれと所定の時間関係を有する第2の制御信号を生成する制御部と、出力ラッチ制御信号に従って指定アドレスの読み出しデータを取り込む出力データラッチと、上記試験制御信号が無効レベルとされる通常動作時は、上記第2の制御信号を出力ラッチ制御信号として出力データラッチに伝達し、試験制御信号が有効レベルとされる上記試験動作時には、外部の試験装置から供給される第3の制御信号を出力ラッチ制御信号として出力データラッチに伝達するマルチプレクサとを設ける。

【0010】上記手段によれば、第1及び第3の制御信号の時間関係を変化させながら、出力データラッチを介して出力される読み出しデータの正常性を判定することで、各DRAMマクロセルのアクセスタイムを容易にしかも効率良く評価することができる。この結果、論理混載メモリ集積回路等のアクセス評価に関する機能試験を効率化し、その試験精度を高めることができる。

【0011】

【発明の実施の形態】図1には、この発明が適用された論理混載メモリ集積回路（半導体集積回路装置）の一実施例の基板配置図が示されている。同図をもとに、まずこの実施例の論理混載メモリ集積回路のブロック構成及び基板配置の概要について説明する。なお、この実施例の論理混載メモリ集積回路は、特に制限されないが、コンピュータシステムの所定のボードに搭載され、例えばそのキャッシュメモリを構成する。また、論理混載メモリ集積回路の基板配置に関する以下の記述では、図1の位置関係をもって半導体基板CHIP面での上下左右を表す。

【0012】図1において、本実施例の論理混載メモリ集積回路は、特に制限されないが、半導体基板CHIPの上辺側に配置される4個の機能ブロックつまりDRAMマクロセルDRAM0～DRAM3と、下辺側に配置される4個のDRAMマクロセルDRAM4～DRAM7とを備える。これらのDRAMマクロセルのそれぞれは、後述するように、DFT回路（DFT）を備え、特に制限されないが、64KW（キロワード）×288b（ビット）の記憶容量を有する。

【0013】論理混載メモリ集積回路は、さらに、各DRAMマクロセルの内側にそれぞれ配置される8個のSRAMマクロセルSRAM0～SRAM7と、半導体基板CHIPの中央部に配置されるもう1個のSRAMマ

クロセルSRAM8とを備える。SRAMマクロセルSRAM0～SRAM3ならびにSRAM4～SRAM7の内側には、半導体基板CHIPの横の中心線に沿って、多数の入出力セルI/OCが列状に配置され、これらの入出力セルI/OC及びSRAMマクロセルの間には、図示されない多数のゲートアレイとチップ端子に対応するパッドPADとを含む論理部LCが配置される。論理部LCのゲートアレイは、ユーザ仕様に基づいて組み合わせられ、所定の論理回路を構成する。また、パッドPADは、パッケージに形成された配線層を介して対応するバンプに結合され、論理混載メモリ集積回路のDRAMマクロセルのアクセス評価に関するプローブ試験が行われるときには、試験装置との間を接続するための接触端子となる。

【0014】図2には、図1の論理混載メモリ集積回路に搭載されるDRAMマクロセルの一実施例のブロック図が示されている。同図をもとに、論理混載メモリ集積回路に搭載されるDRAMマクロセルDRAM0～DRAM7の構成及び動作の概要について説明する。なお、DRAMマクロセルDRAM0～DRAM7は、付与される識別番号が異なることを除き、すべて同一構成とされる。

【0015】図2において、この実施例のDRAMマクロセルは、そのレイアウト所要面積の大半を占めて配置されるメモリアレイMARYを基本構成要素とする。メモリアレイMARYは、特に制限されないが、図の水平方向に平行して配置される実質4,096本のワード線と、図の垂直方向に平行して配置される実質1,152組の相補ビット線とを含む。これらのワード線及び相補ビット線の交点には、それぞれ情報蓄積キャパシタ及びアドレス選択MOSFETを含む合計18,874,368個のダイナミック型メモリセルが格子状に配置される。

【0016】メモリアレイMARYを構成するワード線は、図の左方においてロウアドレスデコードRDに結合され、択一的に所定の選択レベルとされる。ロウアドレスデコードRDには、ロウアドレスバッファRBから12ビットの内部ロウアドレス信号が供給される。このロウアドレスバッファRBには、マクロセル入力端子RA0～RABを介して12ビットのロウアドレスRA0～RAB（ここで、例えばロウアドレス等の10を超える追番については、アルファベットで表す場合がある。以下同様）が供給される。また、マクロセル入力端子CLKNから入力バッファIB1を介してクロック信号CLKN（第1の制御信号）つまり内部クロック信号clk_nが供給されるとともに、マクロセル入力端子SIDからスキャンインデータSIDつまり内部スキャンインデータsidが供給され、さらにマクロセル入力端子SCKから入力バッファIB2を介してスキャンクロック信号SCKつまり内部スキャンクロック信号sckが供給

される。

【0017】なお、内部クロック信号 $c l k n$ 及び内部スキヤンクロック信号 $s c k$ は、入力データラッチ $I L$ 、カラムアドレスバッファ $C B$ 、制御信号バッファ $S B$ ならびに $D F T$ 信号バッファ $D B$ にも共通に供給される。また、内部スキヤンインデータ $s i d$ は、これらのラッチ及びバッファと出力データラッチ $O L$ （出力ラッチ）を構成するフリップフロップのスキヤンイン端子及びスキヤンアウト端子をチェーン結合する形で連結され、試験診断のためのスキヤン経路を構成する。このスキヤン経路の終端は、マクロセル出力端子 $S O D$ に結合される。

【0018】この結果、この実施例の $D R A M$ マクロセルでは、試験動作時、スキヤンイン端子 $S I D$ から各ラッチ及びバッファに対して所望の試験データをシリアルに入力することができるとともに、各ラッチ又はバッファに保持されるデータをスキヤンアウト端子 $S O D$ を介してシリアルに出力することができ、これによって $D R A M$ マクロセルの試験診断を効率良く実施できるものとされる。

【0019】ロウアドレスバッファ $R B$ は、 $D R A M$ マクロセルが通常のアクセスモードで選択状態とされるとき、前段のアクセスユニットからマクロセル入力端子 $R A 0 \sim R A B$ を介して入力されるロウアドレス $R A 0 \sim R A B$ を内部クロック信号 $c l k n$ に従って取り込み、保持するとともに、これらのロウアドレスをもとに、それぞれ非反転及び反転信号からなる内部ロウアドレス信号を生成して、ロウアドレスデコーダ $R D$ に供給する。また、 $D R A M$ マクロセルが試験診断のためのテストモードとされるときには、その保持データ又はマクロセル入力端子 $S I D$ からシリアルに入力されるスキヤンインデータを内部スキヤンクロック信号 $s c k$ に従って順次シフトし、出力データラッチ $O L$ に伝達する。

【0020】ロウアドレスデコーダ $R D$ は、ロウアドレスバッファ $R B$ から供給される12ビットの内部ロウアドレス信号をデコードして、メモリアレイ $M A R Y$ の対応するワード線を択一的に所定の選択レベルとする。メモリアレイ $M A R Y$ では、選択ワード線に結合される実質1, 152個のメモリセルの微小読み出し信号が対応する相補ビット線に出力され、図示されないセンスアンプによって増幅された後、ハイレベル又はロウレベルの2値読み出し信号とされる。

【0021】次に、メモリアレイ $M A R Y$ を構成する相補ビット線は、図の下方においてメインアンプ $M A$ 及びライトアンプ $W A$ に結合される。これらのメインアンプ $M A$ 及びライトアンプ $W A$ には、特に制限されないが、カラムアドレスデコーダ $C D$ から図示されないそれぞれ16ビットの読み出し用又は書き込み用ビット線選択信号が供給される。また、メインアンプ $M A$ から出力される合計288ビットの読み出しデータは、72ビットず

つ四つのグループに分割されて出力データラッチ $O L$ に伝達され、ライトアンプ $W A$ には、入力データラッチ $I L$ から72ビット単位で書き込みデータが供給される。カラムアドレスデコーダ $C D$ には、カラムアドレスバッファ $C B$ から4ビットの内部カラムアドレス信号が供給され、カラムアドレスバッファ $C B$ には、マクロセル入力端子 $C A 0 \sim C A 3$ を介して4ビットのカラムアドレス $C A 0 \sim C A 3$ が供給される。

【0022】出力データラッチ $O L$ には、内部スキヤンインデータ $s i d$ 及び内部スキヤンクロック信号 $s c k$ が供給されるとともに、マルチプレクサ $M X L$ から出力ラッチ制御信号 $O L C$ が供給される。マルチプレクサ $M X L$ の一方の入力端子には、メモリ制御回路 $C T L$ （制御部）から内部制御信号 $C O L C$ （第2の制御信号）が供給される。また、その他方の入力端子には、マクロセル入力端子 $T O L C$ を介してテスト用出力ラッチ制御信号 $T O L C$ （第3の制御信号）が供給され、その制御端子には、 $D F T$ 回路から試験制御信号 $T A C C$ が供給される。出力データラッチ $O L$ により保持される合計288ビットの読み出しデータは、72ビットずつグループ分割されたままマルチプレクサ $M X O$ に供給される。

【0023】一方、入力データラッチ $I L$ 及びカラムアドレスバッファ $C B$ には、内部クロック信号 $c l k n$ 、内部スキヤンインデータ $s i d$ ならびに内部スキヤンクロック信号 $s c k$ が供給される。また、マルチプレクサ $M X O$ の制御端子には、マクロセル入力端子 $M S 0 \sim M S 3$ を介して4ビットの出力選択信号 $M S 0 \sim M S 3$ が供給され、その72ビットの出力信号は、出力セクタ $O S$ の一方の入力端子に供給される。出力セクタ $O S$ の他方の入力端子は、対応するマクロセル入力端子 $W D 0 \sim W D 7 1$ に結合される。また、その制御端子には、マクロセル入力端子 $D W M C$ を介して試験出力制御信号 $D W M C$ が供給され、その出力端子は、対応するマクロセル出力端子 $D O 0 \sim D O 7 1$ に結合される。

【0024】この実施例において、メモリ制御回路 $C T L$ から出力される内部制御信号 $C O L C$ は、実質的に前記クロック信号 $C L K N$ つまり内部クロック信号 $c l k n$ に従って生成され、このクロック信号 $C L K N$ に対して所定の時間関係を有する。また、テスト用出力ラッチ制御信号 $T O L C$ は、 $D R A M$ マクロセルのアクセス評価のための試験動作が行われるとき、外部の試験装置からマクロセル入力端子 $T O L C$ を介して入力され、出力データラッチ $O L$ における読み出しデータのストロブタイミングを設定する。さらに、 $D F T$ 回路から出力される試験制御信号 $T A C C$ は、通常無効レベルつまりロウレベルとされ、アクセス評価のための試験動作が行われるとき有効レベルつまりハイレベルとされる。

【0025】一方、試験出力制御信号 $D W M C$ は、 $D R A M$ マクロセルが通常の読み出し又は書き込みモードとされるときロウレベルの無効レベルとされ、機能試験の

ためのテストモードとされるときハイレベルの有効レベルとされる。また、ライトアンプWAには、マクロセル入力端子WE0N～WE3Nを介して入力される4ビットのライトイネーブル信号WE0N～WE3Nをもとに生成される図示されない内部ライトイネーブル信号we0n～we3nが供給される。

【0026】メインアンプMAは、DRAMマクロセルが読み出しモードで選択状態とされるとき、メモリアレイMARYの選択ワード線に結合される1, 152個のメモリセルから対応する相補ビット線を介して出力される読み出し信号を、カラムアドレスデコーダCDから供給される読み出し用ビット線選択信号に従って288ビットずつ選択して増幅し、出力データラッチOLに伝達する。

【0027】マルチプレクサMXLは、論理混載メモリ集積回路が通常の動作モードとされ試験制御信号TACCがロウレベルの無効レベルとされるとき、メモリ制御回路CTLから出力される内部制御信号COLCを選択し、出力ラッチ制御信号OLCとして出力データラッチOLに供給する。また、論理混載メモリ集積回路がDRAMマクロセルのアクセス評価のための試験モードとされ試験制御信号TACCがハイレベルの有効レベルとされるときは、試験装置TSTからマクロセル入力端子TOLCから入力されるテスト用出力ラッチ制御信号TOLCを選択し、出力ラッチ制御信号OLCとして出力データラッチOLに供給する。

【0028】出力データラッチOLは、メインアンプMAから72ビットずつグループ分割されて出力される合計288ビットの読み出しデータを、上記マルチプレクサMXLから供給される出力ラッチ制御信号OLCに従って取り込み、保持するとともに、グループ分割状態のままパラレルにマルチプレクサMXOに伝達する。また、DRAMマクロセルが試験診断のためのテストモードとされるときには、その保持データ又は内部スキャンインデータsidを内部スキャンクロック信号sckに従って順次シフトし、入力データラッチILに伝達する。

【0029】これにより、この実施例のDRAMマクロセルでは、アクセス評価のための試験動作時、外部の試験装置からマクロセル入力端子CLKNを介して入力されるクロック信号CLKNと、マクロセル入力端子TOLCを介して入力されるテスト用出力ラッチ制御信号TOLCとの間の時間関係を変化させることで、出力データラッチOLにおける読み出しデータのストローブタイミングを意図的に変化させ、DRAMマクロセルのアクセスタイムを評価することができるが、このことについては、具体的な試験方法とともに後で詳細に説明する。

【0030】マルチプレクサMXOは、出力データラッチOLから伝達される合計288ビットの読み出しデータを、出力選択信号MS0～MS3に従って72ビット

選択し、出力セクタOSに伝達する。また、出力セクタOSは、DRAMマクロセルが通常の読み出しモードとされ試験出力制御信号DWMCがロウレベルの無効レベルとされるとき、マルチプレクサMXOから伝達される72ビットの読み出しデータを選択して、マクロセル出力端子DO0～DO71を介して出力し、DRAMマクロセルが機能試験のためのテストモードとされ試験出力制御信号DWMCがハイレベルの有効レベルとされるときには、外部の試験装置からマクロセル入力端子WD0～WD71を介して入力される書き込みデータを選択し、そのままマクロセル出力端子DO0～DO71を介して出力する。

【0031】一方、入力データラッチILは、DRAMマクロセルが通常の書き込みモードで選択状態とされるとき、外部のアクセスユニットからマクロセル入力端子WD0～WD71を介して入力される72ビットの書き込みデータを、内部クロック信号clkに従って取り込み、保持するとともに、ライトアンプWAを構成する288個の単位ライトアンプのうち、書き込み用ビット線選択信号により指定される72個の単位ライトアンプに伝達する。このとき、ライトアンプWAの各单位ライトアンプは、内部ライトイネーブル信号we0n～we3nのハイレベルを受けて72個ずつ選択的に動作状態となり、保持するそれぞれ72ビット、合計288ビットの書き込みデータをメモリアレイMARYの選択ワード線に結合される72個ないし288個のメモリセルに選択的に書き込む。

【0032】カラムアドレスバッファCBは、マクロセル入力端子CA0～CA3を介して入力されるカラムアドレスCA0～CA3を、内部クロック信号clkに従って取り込み、保持するとともに、これらのカラムアドレスをもとにそれぞれ非反転及び反転信号からなる内部カラムアドレス信号を生成し、カラムアドレスデコーダCDに供給する。カラムアドレスデコーダCDは、カラムアドレスバッファCBから供給される内部カラムアドレス信号をデコードして、メインアンプMAに対する読み出し用ビット線選択信号あるいはライトアンプWAに対する書き込み用ビット線選択信号を択一的にハイレベルの選択レベルとする。

【0033】言うまでもなく、入力データラッチIL及びカラムアドレスバッファCBは、DRAMマクロセルが試験診断のためのテストモードとされるとき、その保持データ又は外部の試験装置から供給される内部スキャンインデータsidを内部スキャンクロック信号sckに従って順次シフトし、後段のカラムアドレスバッファCB及び制御信号バッファSBにそれぞれ伝達する機能を併せ持つ。

【0034】DRAMマクロセルは、さらに、制御信号バッファSB及びDF T信号バッファDBと、これらのバッファの出力信号をそれぞれ受けるメモリ制御回路C

TL及びDFT回路(DFT)とを備える。

【0035】このうち、制御信号バッファSBには、内部クロック信号clk_n、内部スキャンインデータsid_nならびに内部スキャンクロック信号sckが供給されるとともに、マクロセル入力端子RAS_N、CAS_N、RES_N(及び入力バッファIB4)ならびにWE0_N～WE3_Nを介して、ロウアドレスストローブ信号RAS_N、カラムアドレスストローブ信号CAS_N、リセット制御信号RES_Nならびにライトイネーブル信号WE0_N～WE3_Nが供給される。

【0036】一方、DFT信号バッファDBには、内部クロック信号clk_n、内部スキャンインデータsid_nならびに内部スキャンクロック信号sckが供給される。また、マクロセル入力端子TDMS0～TDMS5を介して、DFT信号の一部たる6ビットのDFTエンタリー信号TDMS0～TDMS5が供給されるとともに、マクロセル入力端子TDID0～TDID2ならびにTDMCKNを介してマクロセル識別信号TDID0～TDID2ならびにDFTクロック信号TDMCKNが供給される。DFT信号バッファDBのスキャンアウトデータは、前述のように、マクロセル出力端子SODを介して出力される。

【0037】制御信号バッファSBは、外部のアクセスユニットからマクロセル入力端子RAS_N、CAS_N、RES_N(及び入力バッファIB4)ならびにWE0_N～WE3_Nを介して起動制御信号として供給されるロウアドレスストローブ信号RAS_N、カラムアドレスストローブ信号CAS_N、リセット制御信号RES_Nならびにライトイネーブル信号WE0_N～WE3_Nを内部クロック信号clk_nに従って取り込み、保持するとともに、メモリ制御回路CTLに伝達する。

【0038】メモリ制御回路CTLは、外部のアクセスユニットから制御信号バッファSBを介して起動制御信号として入力されるロウアドレスストローブ信号RAS_N、カラムアドレスストローブ信号CAS_N、リセット制御信号RES_Nならびにライトイネーブル信号WE0_N～WE3_Nをもとに、DRAMマクロセルの動作モードを識別するとともに、前記内部制御信号COLCを含む各種の内部制御信号を選択的に生成して、DRAMマクロセルの各部に供給する。上記説明から明らかなように、各起動制御信号は、クロック信号CLK_Nつまり内部クロック信号clk_nに従って制御信号バッファSBに取り込まれ、メモリ制御回路CTLに伝達されるため、内部制御信号COLCは、クロック信号CLK_Nつまり内部クロック信号clk_nに対して所定の時間関係を有するものとなる。

【0039】一方、DFT信号バッファDBは、例えばウェハ状態で行われる論理混載メモリ集積回路のプローブ試験時において、外部の試験装置から論理混載メモリ集積回路の論理部LCならびにDFT信号バッファDB

を介して入力されるDFT信号つまりDFTエンタリー信号TDMS0～TDMS5ならびにマクロセル識別信号TDID0～TDID2を、DFTクロック信号TDMCKNに従って取り込み、DFT回路に伝達する。DFT回路は、DFTエンタリー信号TDMS0～TDMS5をもとに、実施すべきDFT試験モードを判定し、前記試験制御信号TACC等を選択的に生成して、試験動作を制御するとともに、その結果を外部の試験装置に報告する。前記DRAMマクロセルのアクセス評価のための試験モードも、DFTエンタリー信号TDMS0～TDMS5の各ビットの論理値が所定の組み合わせとされることで選択的に指定され、実行される。

【0040】なお、制御信号バッファSB及びDFT信号バッファDBは、DRAMマクロセルが試験診断のためのテストモードとされるとき、その保持データ又は外部の試験装置から供給される内部スキャンインデータsid_nを内部スキャンクロック信号sckに従って順次シフトし、伝達する機能を併せ持つ。これらのシフトデータは、最終的にはマクロセル出力端子SODからスキャンアウトデータSODとして外部の試験装置にシリアル出力される。

【0041】図3には、図1の論理混載メモリ集積回路のDRAMマクロセルのアクセス評価時、つまりアクセス評価のための試験動作時の一実施例の接続図が示されている。また、図4には、図1の論理混載メモリ集積回路のDRAMマクロセルのアクセス評価時の一実施例の接続概念図が示され、図5には、そのDRAMマクロセルのアクセス評価時の一実施例の信号波形図が示されている。これらの図をもとに、この実施例の論理混載メモリ集積回路のDRAMマクロセルのアクセス評価時の具体的な接続形態及び試験方法について説明する。

【0042】なお、図3では、論理混載メモリ集積回路の論理部LCならびにDRAMマクロセル(DRAM0～DRAM7)のアクセス評価のための試験動作に関する入力又は出力信号のみが例示される。また、図4では、論理混載メモリ集積回路(LS1)に搭載される8個のDRAMマクロセル(DRAM0～DRAM7)が単にDRAMとして示されるとともに、メモリアレイMARY、メモリ制御回路CTL、DFT回路(DFT)、マルチプレクサMXLならびに出力データラッチOLが、各DRAMマクロセルの構成要素として例示される。さらに、図4では、出力データラッチOLの出力信号がそのまま出力データDO、つまりDO0～DO71として示されているが、図5では、出力データラッチOLのストローブタイミングを明らかにするため、出力データラッチOLの各ビットの非反転出力端子における出力信号を、OLoutとして示した。

【0043】まず、図3において、論理混載メモリ集積回路がDRAMマクロセルのアクセス評価のための試験モードとされるとき、その論理部LCには、外部の試験

装置TSTから入力パッドPCLKNを介して、同期化信号となるクロック信号CLKNが供給され、入力パッドPTOLCを介して、出力データラッチOLのストロブタイミングを設定するためのテスト用出力ラッチ制御信号TOLCが供給される。また、入力パッドPTDMS0～PTDMS5を介して、アクセス評価のための試験モードを指定する組み合わせでDFTエンタリー信号TDMS0～TDMS5が供給され、入力パッドPRA0～PRABならびにPCA0～PCA3を介して、試験対象アドレスを指定するためのロウアドレスRA0～RABならびにカラムアドレスCA0～CA3が供給される。

【0044】この実施例において、論理混載メモリ集積回路のDRAMマクロセルのアクセス評価のための試験モードは、8個のDRAMマクロセル（DRAM0～DRAM7）のうち1個を択一的に指定しながら実施することが可能とされ、DFTエンタリー信号TDMS0～TDMS5は、試験対象となるDRAMマクロセルを択一的に指定するための選択信号としても用いられる。

【0045】論理混載メモリ集積回路の論理部LCには、さらに、入力パッドPMS0～PMS3を介して出力選択信号MS0～MS3が供給され、入力パッドPWD0～PWD71を介して72ビットの書き込みデータが供給される。また、指定されたDRAMマクロセルの読み出しデータは、出力パッドPDO0～PDO71を介して72ビット単位で試験装置TSTに出力される。

【0046】論理混載メモリ集積回路の論理部LCは、外部の試験装置TSTから供給される上記各種の試験信号を各DRAMマクロセルに伝達する。

【0047】各DRAMマクロセルのDFT回路は、外部の試験装置TSTから論理部LCを介して供給されるDFTエンタリー信号TDMS0～TDMS5をもとに、DRAMマクロセルのアクセス評価のための試験モードを識別し、前記試験制御信号TACCをハイレベルとする。また、DFTエンタリー信号TDMS0～TDMS5をもとに、対応するDRAMマクロセルが試験対象として指定されているかどうかを識別し、アクセス評価のための試験動作を実行する。

【0048】図4に再掲されるように、試験装置TSTから論理混載メモリ集積回路の入力パッドPCLKNを介して入力されるクロック信号CLKNは、論理部LCを介してDRAMマクロセルのメモリアレイMARY、メモリ制御回路CTLならびにDFT回路に供給され、入力パッドPTOLCを介して入力されるテスト用出力ラッチ制御信号TOLCは、DRAMマクロセルのマルチプレクサMXLの一方の入力端子に供給される。このマルチプレクサMXLの他方の入力端子には、メモリ制御回路CTLから、クロック信号CLKNをもとに生成されクロック信号CLKNに対して所定の時間関係を有する内部制御信号COLCが供給され、マルチプレクサ

MXLの制御端子には、DFT回路から試験制御信号TACCが供給される。マルチプレクサMXLの出力信号は、出力ラッチ制御信号OLCとして出力データラッチOLの制御端子に供給される。

【0049】ここで、試験装置TSTから論理部LCを介してDRAMマクロセルに供給されるクロック信号CLKNは、特に制限されないが、図5に示されるように、所定の周期を有するデューティ50%のパルス信号とされる。また、試験対象として指定されたDRAMマクロセルは、クロック信号CLKNの例えばタイミングT1における立ち上がりを受けて、メモリアレイMARYの指定アドレスに対する試験読み出し動作を開始し、そのアクセスタイムに相当する時間が経過したタイミングT2で、メモリアレイMARYの指定アドレスから読み出された読み出しデータRDを出力データラッチOLに伝達する。

【0050】一方、各DRAMマクロセルのDFT回路は、前述のように、論理混載メモリ集積回路が通常動作モードとされるとき、試験制御信号TACCをロウレベルの無効レベルとし、論理混載メモリ集積回路がDRAMマクロセルのアクセス評価のための試験モードとされるときは、試験装置TSTから供給されるDFT信号TDMS0～TDMS5をもとに、該試験モードが指定されたことを識別し、試験制御信号TACCをハイレベルの有効レベルとする。

【0051】各DRAMマクロセルのマルチプレクサMXLは、論理混載メモリ集積回路が通常動作モードとされ試験制御信号TACCがロウレベルの無効レベルとされるとき、メモリ制御回路CTLから供給される内部制御信号COLCを選択し、出力ラッチ制御信号OLCとして出力データラッチOLに供給する。また、論理混載メモリ集積回路がDRAMマクロセルのアクセス評価のための試験モードとされ試験制御信号TACCがハイレベルの有効レベルとされるときは、外部の試験装置TSTから供給されるテスト用出力ラッチ制御信号TOLCを選択し、出力ラッチ制御信号OLCとして出力データラッチOLに供給する。

【0052】論理混載メモリ集積回路がDRAMマクロセルのアクセス評価のための試験モードとされるとき、テスト用出力ラッチ制御信号TOLCの立ち上がりは、図5に例示されるように、例えばタイミングT31～T33となるべく順次スキャンされ、変化される。また、外部の試験装置TSTは、テスト用出力ラッチ制御信号TOLCの各立ち上がりタイミングで出力データラッチOLに取り込まれ出力端子DOつまり出力パッドPDO0～PDO71を介して出力される読み出しデータを、タイミングT4、つまりテスト入力ストロブ信号TDSの立ち上がりタイミングでストロブして内部に取り込み、書き込みデータWD0～WD71として与えた期待値と比較照合して、その正常性を判定する。

【0053】この結果、テスト用出力ラッチ制御信号TOLCのタイミングT31～T33のうち、正常な読み出しデータが得られた時点でのタイミングとして、各DRAMマクロセルのアクセスタイムを個別に、しかも比較的容易に判定することができ、これによって論理混載メモリ集積回路のアクセス評価に関する機能試験を効率化し、その試験精度を高めることができるものである。

【0054】以上の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) それぞれDF T回路を備える複数のDRAMマクロセルを搭載する論理混載メモリ集積回路等において、各DRAMマクロセルのDF T回路に、アクセス評価のための試験動作時に所定の試験制御信号を選択的に有効レベルとする機能を持たせるとともに、各DRAMマクロセルに、その起動制御信号たる第1の制御信号に従ってこれと所定の時間関係を有する第2の制御信号を生成する制御部と、出力ラッチ制御信号に従って指定アドレスの読み出しデータを取り込む出力データラッチと、上記試験制御信号が無効レベルとされる通常動作時は第2の制御信号を出力ラッチ制御信号として出力データラッチに伝達し、試験制御信号が有効レベルとされる上記試験動作時には、外部の試験装置から供給される第3の制御信号を伝達するマルチプレクサとを設けることで、第1及び第3の制御信号の時間関係を変化させながら、出力データラッチを介して出力される読み出しデータの正常性を判定することにより、各DRAMマクロセルのアクセスタイムを容易にしかも効率良く評価することができるという効果が得られる。

【0055】(2) 上記(1)項により、論理混載メモリ集積回路等のアクセス評価に関する機能試験を効率化することができるという効果が得られる。

(3) 上記(1)項により、論理混載メモリ集積回路等のアクセス評価に関する機能試験の精度を高めることができるという効果が得られる。

【0056】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図1において、論理混載メモリ集積回路には、任意数のDRAMマクロセル及びSRAMマクロセルを搭載することができるし、同様なDF T回路やアクセス評価機能は、SRAMマクロセルにも持たせることができる。論理混載メモリ集積回路ならびにそのDRAMマクロセルDRAM0～DRAM7が形成される半導体基板CHIPの形状は任意であるし、各ブロックの配置位置や形状も同様である。

【0057】図2において、DRAMマクロセルDRAM0～DRAM7のメモリアレイMARYは、任意数のワード線及び相補ビット線を備えることができるし、その記憶容量も任意に設定できる。また、各DRAMマク

ロセルは、任意数の冗長素子を含むことができるし、そのビット構成、つまり同時に入力又は出力されるデータのビット数も任意に設定できる。メモリアレイMARYは、任意数のサブメモリアレイに分割できるし、周辺回路についても同様である。各DRAMマクロセルのブロック構成やアドレス信号、起動制御信号ならびに各内部制御信号の組み合わせ及びその有効レベル等は、種々の実施形態をとりうる。

【0058】図3において、DRAMマクロセルのアクセス評価のための試験動作時、外部の試験装置TS Tから入力される試験信号の種別及び組み合わせは、任意に設定することができる。また、これらの試験動作は、スキャン経路を介して実施してもよいし、このスキャン経路自体も、複数経路に分けて構成することができる。図5において、テスト用出力ラッチ制御信号TOLCは、その立ち上がりタイミングの刻みを小さくしてきめ細かく変化させることができる。各信号の絶対的なレベル及び時間関係等は、本発明の主旨に何ら制約を与えない。

【0059】DRAMマクロセルDRAM0～DRAM7は、必ずしもマクロセルとしての形態をとることを必須条件とはしない。また、各DRAMマクロセルは、必ずしもDF T回路を備えることを必須条件とはしないし、試験診断のためのスキャン経路を備えることを必須条件ともしない。

【0060】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野である複数のDRAMマクロセルを搭載する論理混載メモリ集積回路に適用した場合について説明したが、それに限定されるものではなく、例えば、前述のようにSRAMマクロセル等の各種メモリマクロセルを搭載するものや、各種デジタルユニットをマクロセルとして搭載するシングルチップマイクロコンピュータ等にも適用できる。この発明は、少なくともそのアクセスタイムの評価を必要とする機能ブロックを搭載する半導体集積回路装置ならびにこのような半導体集積回路装置を含む装置又はシステムに広く適用できる。

【0061】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、それぞれDF T回路を備える複数のDRAMマクロセルを搭載する論理混載メモリ集積回路等において、各DRAMマクロセルのDF T回路に、アクセス評価のための試験動作時に所定の試験制御信号を選択的に有効レベルとする機能を持たせるとともに、各DRAMマクロセルに、その起動制御信号たる第1の制御信号に従ってこれと所定の時間関係を有する第2の制御信号を生成する制御部と、出力ラッチ制御信号に従って指定アドレスの読み出しデータを取り込む出力データラッチと、上記試験制御信号が無効レベルとされる通常動作時は、上記第2の制御信号を出力ラッチ制

御信号として出力データラッチに伝達し、試験制御信号が有効レベルとされる上記試験動作時には、外部の試験装置から供給される第3の制御信号を出力ラッチ制御信号として出力データラッチに伝達するマルチプレクサとを設ける。

【0062】これにより、第1及び第3の制御信号の時間関係を変化させながら、出力データラッチを介して出力される読み出しデータの正常性を判定することにより、各DRAMマクロセルのアクセスタイムを容易にしかも効率良く評価することができる。この結果、論理混載メモリ集積回路等のアクセス評価に関する機能試験を効率化し、その試験精度を高めることができる。

【図面の簡単な説明】

【図1】この発明が適用された論理混載メモリ集積回路の一実施例を示す基板配置図である。

【図2】図1の論理混載メモリ集積回路に搭載されるDRAMマクロセルの一実施例を示すブロック図である。

【図3】図1の論理混載メモリ集積回路のDRAMマクロセルのアクセス評価時の一実施例を示す接続図である。

【図4】図1の論理混載メモリ集積回路のDRAMマクロセルのアクセス評価時の一実施例を示す接続概念図である。

【図5】図1の論理混載メモリ集積回路のDRAMマクロセルのアクセス評価時の一実施例を示す信号波形図である。

【図6】この発明に先立って本願発明者等が開発したダイナミック型RAMのアクセス評価時の一例を示す接続概念図である。

【図7】この発明に先立って本願発明者等が開発した論理混載メモリ集積回路のDRAMマクロセルのアクセス評価時の一例を示す接続概念図である。

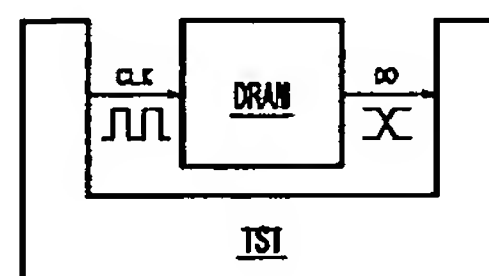
【符号の説明】

CHIP…半導体基板（チップ）、DRAM0～DRAM7…DRAMマクロセル、DFT…DFT回路、SRAM0～SRAM7…SRAMマクロセル、LC…論理部、PAD…パッド、IOC…入出力セル。MARY…メモリアレイ、RD…ロウアドレスデコーダ、RB…ロウアドレスバッファ、MA…メインアンプ、WA…ライトアンプ、CD…カラムアドレスデコーダ、CB…カラ

ムアドレスバッファ、IL…入力データラッチ、OL…出力データラッチ、MXL、MXO…マルチプレクサ、OS…出力セクタ、CTL…メモリ制御回路、SB…制御信号バッファ、DB…DFT信号バッファ、CLKN…クロック信号又はそのマクロセル入力端子、SID…スキャンインデータ又はそのマクロセル入力端子、SCK…スキャンクロック信号又はそのマクロセル入力端子、RA0～RAB…ロウアドレスあるいはそのマクロセル入力端子、TOLC…テスト用出力ラッチ制御信号又はそのマクロセル入力端子、MS0～MS3…出力選択信号又はそのマクロセル入力端子、DWMC…試験出力制御信号又はそのマクロセル入力端子、DO0～DO71…出力データあるいはそのマクロセル出力端子、WD0～WD71…書き込みデータあるいはそのマクロセル入力端子、CA0～CA3…カラムアドレスあるいはそのマクロセル入力端子、RASN…ロウアドレスストロブ信号又はそのマクロセル入力端子、CASN…カラムアドレスストロブ信号又はそのマクロセル入力端子、RESN…リセット制御信号又はそのマクロセル入力端子、WE0N～WE3N…ライトイネーブル信号あるいはそのマクロセル入力端子、TDMS0～TDMS5…DFTエントリー信号あるいはそのマクロセル入力端子、TDID0～TDID2…マクロセル識別信号あるいはそのマクロセル入力端子、TDMCKN…DFTクロック信号又はそのマクロセル入力端子、SOD…スキャンアウトデータ又はそのマクロセル出力端子、IB1～IB4…入力バッファ。TST…試験装置、PCLKN…クロック信号入力パッド、PTOLC…テスト用出力ラッチ制御信号入力パッド、PTDMS0～PTDMS5…DFTエントリー信号入力パッド、PRA0～PRAB…ロウアドレス入力パッド、PCA0～PCA3…カラムアドレス入力パッド、PMS0～PMS3…出力選択信号入力パッド、PWD0～PWD71…書き込みデータ入力パッド、PDO0～PDO71…読み出しデータ出力パッド。LSI…論理混載メモリ集積回路、DRAM…ダイナミック型RAM又はDRAMマクロセル、RD…読み出しデータ、OLC…出力ラッチ制御信号、DO…出力データ、TDST…テスト入力ストロブ信号、T1～T2, T31～T33, T4…タイミング。

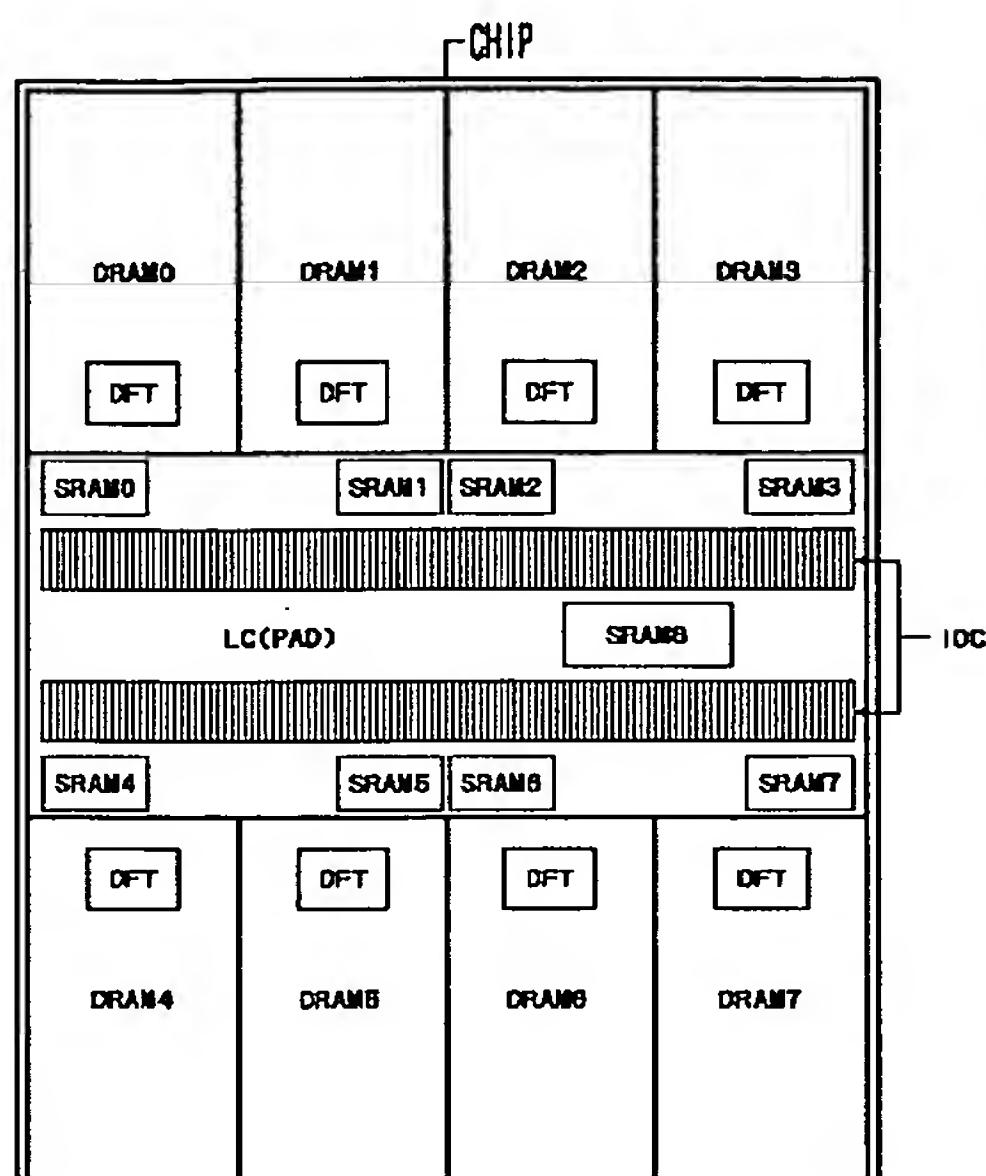
【図6】

図6 DRAMアクセス評価時の接続概念



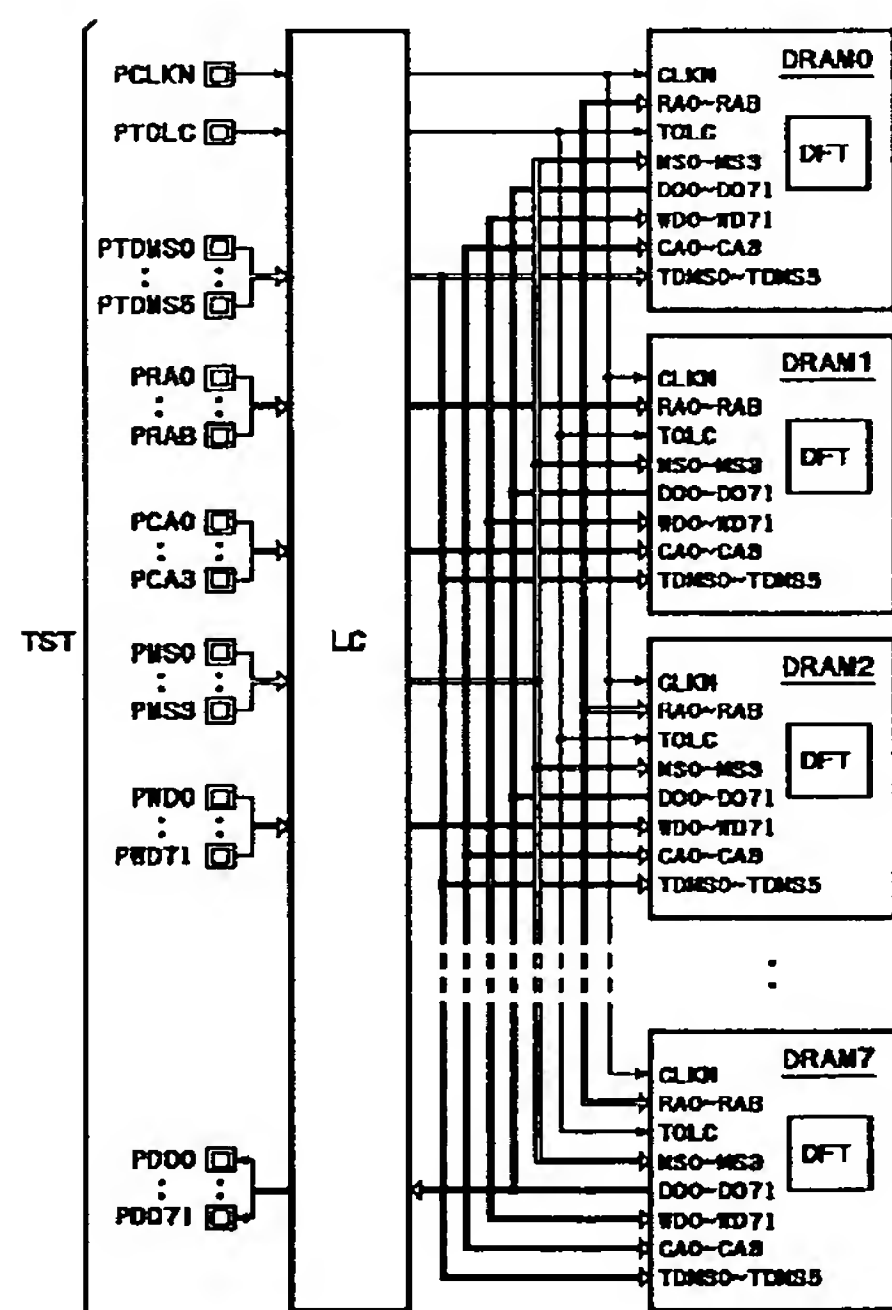
【図 1】

図1 物理混載メモリ集積回路の基板配置



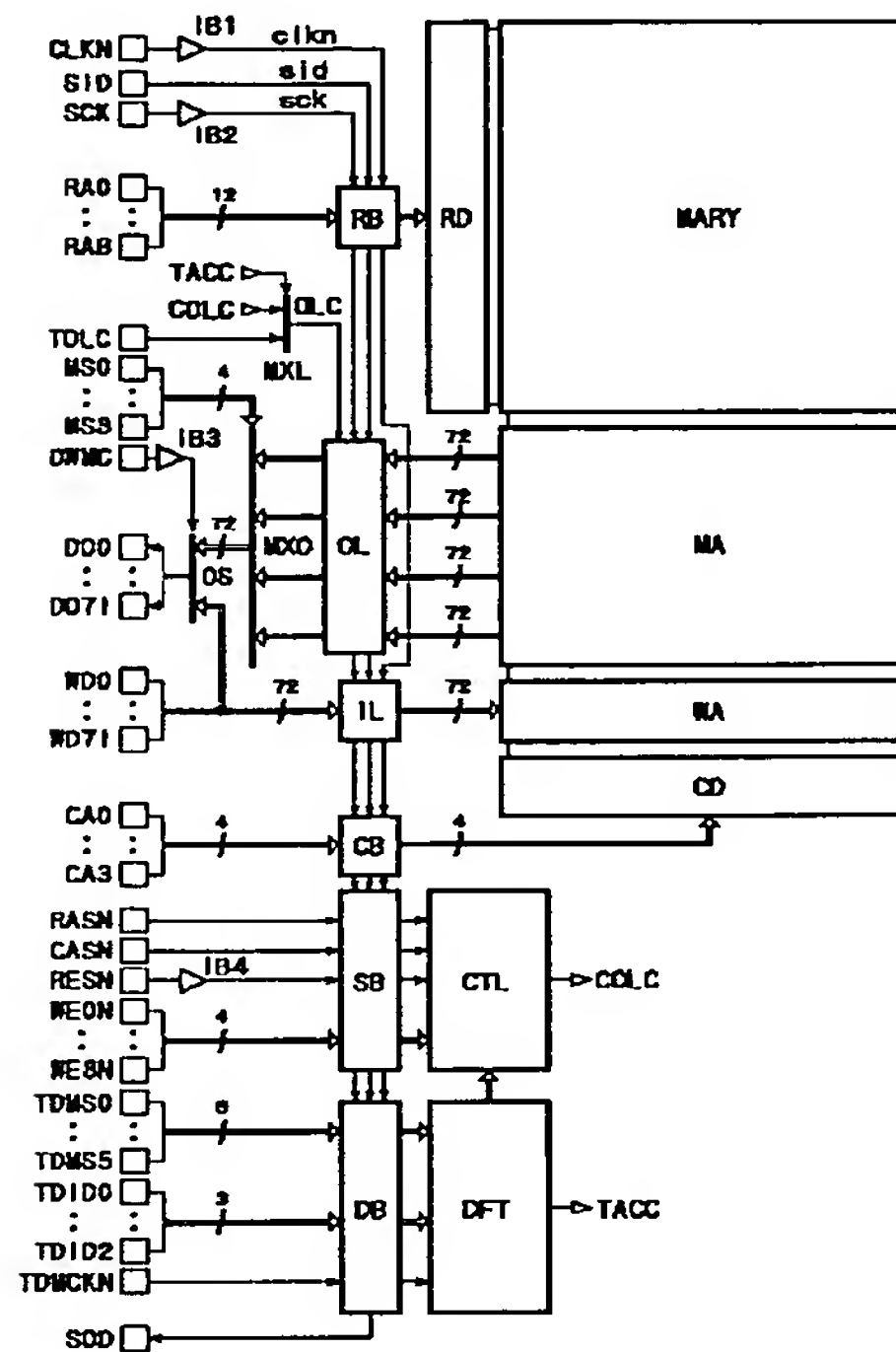
【图 3】

図3 論理混載メモリ集積回路のアクセス評価時の接続形態



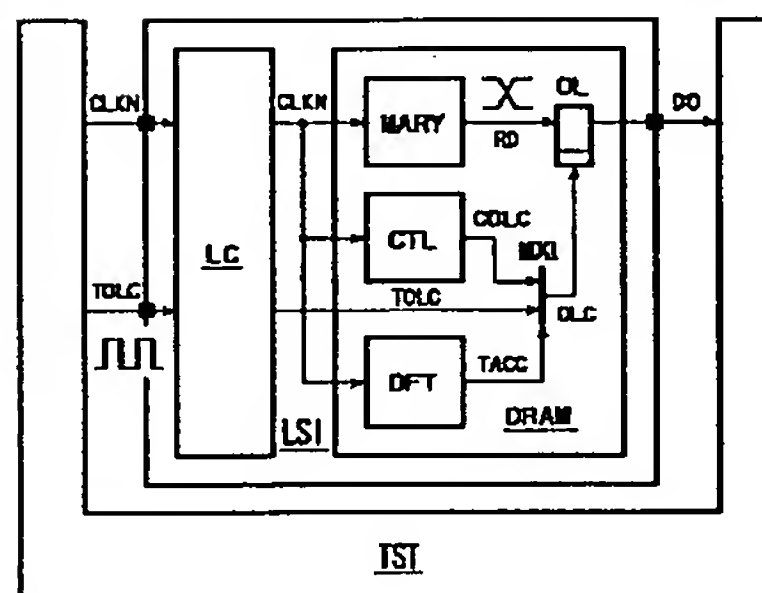
【図 2】

図2 DRAMマクロセルのブロック構成



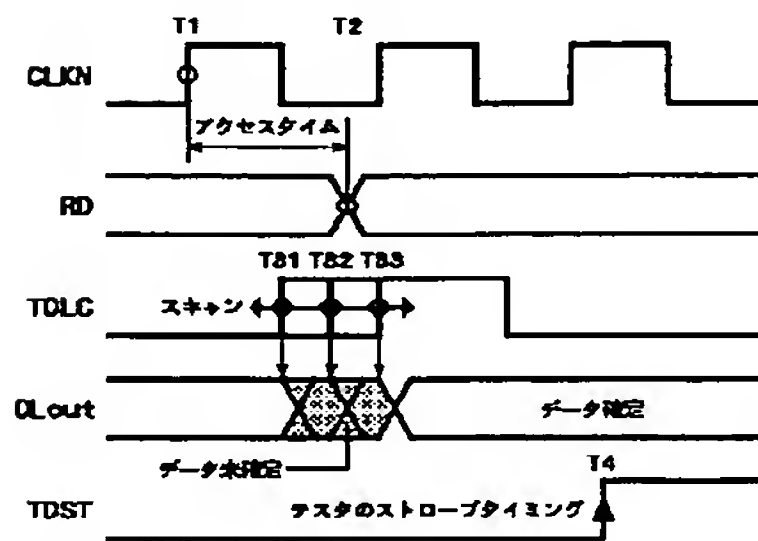
【図 4】

図4 DRAMマクロのアクセス評価時の接続概念



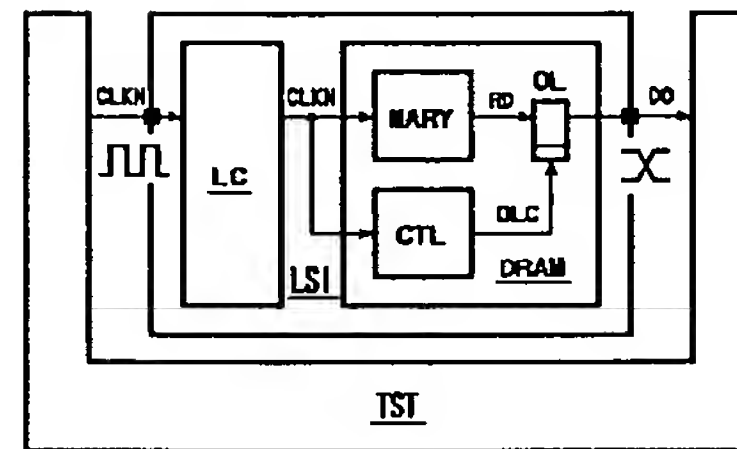
【図 5】

図 5 DRAMマクロのアクセス評価時の信号波形



【図 7】

図 7 DRAMマクロのアクセス評価時の接続概念



フロントページの続き

(72)発明者 宮岡 修一
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内
(72)発明者 横山 勇治
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 赤▲崎▼ 博
東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内

Fターム(参考) 2G032 AA07 AC10 AG01 AG07 AH04
AK14 AK16
5B024 AA15 BA21 CA07 CA16 EA01
5L106 AA01 DD03 DD08 DD12 DD32
GG05 GG07